

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 09-212472
 (43) Date of publication of application : 15.08.1997

(51) Int.CI.

G06F 15/163
 G06F 9/46
 G06F 9/46

(21) Application number : 08-015662
 (22) Date of filing : 31.01.1996

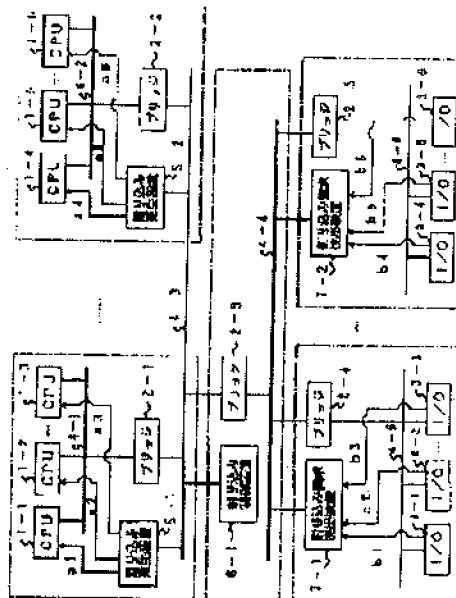
(71) Applicant : TOSHIBA CORP
 (72) Inventor : YANO HIDEYUKI
 MIYAMOTO YUKIMASA

(54) MULTIPROCESSOR SYSTEM

(57) Abstract:

PROBLEM TO BE SOLVED: To conduct interruption control without laying many dedicated signal lines by dividing an interruption controller into interruption request detecting means, an interruption control means, and interruption signal generating means, and making them communicate through a bus.

SOLUTION: The interruption controller is divided into interruption request detecting devices 7-1 to 7-2, an interruption controller 6-1, and interruption signal generating devices 5-1 to 5-2, which communicate through the bus. The interruption generating devices 5-1 to 5-2 accept bus transactions from the interruption controller 6-1 through the bus 4-3, and assert and deassert interruption signals a1-a3 or a4-a6 according to reported information. The interruption controllers 6-1 controls the interruption signal generating operation of the interruption generating devices 5-1 to 5-2 according to the interruption requests detected by the interruption request detecting devices 7-1 to 7-2. Therefore, the interruption control which is flexibly adaptive to an increase in system scale is enabled.



LEGAL STATUS

[Date of request for examination] 18.03.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3059098

[Date of registration] 21.04.2000

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-212472

(43)公開日 平成9年(1997)8月15日

(51)Int.Cl.⁶
G 0 6 F 15/163
9/46

識別記号
G 0 6 F 15/163
9/46
3 6 0

F I
G 0 6 F 15/16
9/46

技術表示箇所
3 1 0 Q
C
3 6 0 A

審査請求 有 請求項の数6 O L (全12頁)

(21)出願番号 特願平8-15662

(22)出願日 平成8年(1996)1月31日

(71)出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72)発明者 矢野 秀行
東京都青梅市末広町2丁目9番地 株式会
社東芝青梅工場内

(72)発明者 宮本 幸昌
東京都青梅市末広町2丁目9番地 株式会
社東芝青梅工場内

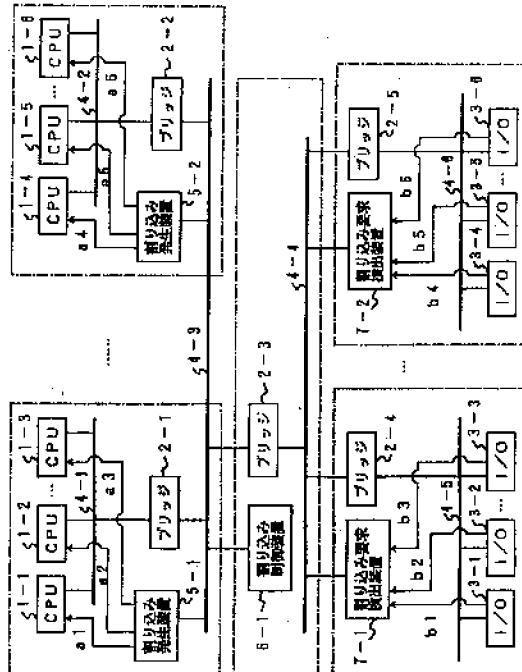
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】マルチプロセッサシステム

(57)【要約】

【課題】多数のCPUおよびI/Oを有する計算機システムにおける割り込み制御のための信号線の引き回しを低減する。

【解決手段】従来の割り込みコントローラが、割り込み要求検出装置7-1～7-2／割り込み制御装置6-1／割り込み信号発生装置5-1～5-2に分けられており、それぞれの間はバスを介して通信される。従って、バストランザクションにて割込み制御のための各種情報を伝達することができるので、専用の信号線を多数引き回すことなく割り込み制御を実現でき、多数のCPUおよびI/Oを含むシステムに好適な割込み制御を行うことが可能となる。



【特許請求の範囲】

【請求項1】 単一バス構成あるいは階層バス構成を有し、複数のCPUを備えたマルチプロセッサシステムにおいて、

1/O装置からの割り込み要求信号の変化を検出する割り込み要求検出手段と、

前記複数のCPUそれぞれの割り込み入力端子に入力される割り込み信号を発生する割り込み信号発生手段と、前記割り込み要求検出手段によって検出された割り込み要求に応じて、前記割り込み信号発生手段の割り込み信号発生動作を制御する割り込み制御手段とを具備し、

前記割り込み要求検出手段、割り込み信号発生手段、および割り込み制御手段はバスを介して互いに結合されており、前記割り込み要求検出手段は、前記割り込み要求信号の検出結果をバストランザクションによって前記割り込み制御手段に通知し、前記割り込み制御手段は、前記割り込み信号発生動作を制御するための情報をバストランザクションによって前記割り込み信号発生手段に通知するように構成されていることを特徴とするマルチプロセッサシステム。

【請求項2】 前記割り込み要求検出手段は物理的に前記1/O装置の近傍に配置され、前記割り込み信号発生手段は物理的に前記CPUの近傍に配置されていることを特徴とする請求項1記載のマルチプロセッサシステム。

【請求項3】 前記割り込み要求検出手段は前記1/O装置と同一の第1回路基板上に実装され、前記割り込み信号発生手段は前記CPUと同一の第2回路基板上に実装されていることを特徴とする請求項1記載のマルチプロセッサシステム。

【請求項4】 前記割り込み要求検出手段、割り込み信号発生手段、および割り込み制御手段の少なくとも1つは、それが結合されるバスに接続されている他のデバイスとバスインターフェース回路を共用することを特徴とする請求項1記載のマルチプロセッサシステム。

【請求項5】 前記割り込み制御手段は、同一機能を持つ少なくとも2つのデバイスを含む冗長構成を有し、それら各デバイスはその動作の有効/無効が設定可能に構成されていることを特徴とする請求項1記載のマルチプロセッサシステム。

【請求項6】 前記割り込み制御手段を構成する各デバイスは、割り込み制御処理を行うための制御情報を保持および管理する手段を有し、この手段は、対応するデバイスの有効/無効状態に関係なく動作するように構成されていることを特徴とする請求項5記載のマルチプロセッサシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、単一バス構成あるいは階層バス構成を有し、複数のCPUを備えたマルチプロセッサシステムにおいて、1/O装置からの割り込み要求信号の変化を検出する割り込み要求検出手段と、

チプロセッサシステムに関し、特にマルチプロセッサシステムにおける割込制御技術に関する。

【0002】

【従来の技術】従来、マルチプロセッサシステムの割り込み制御は、1個の割り込みコントローラによって実現されていた。すなわち、各1/O装置からの割り込み要求信号は全て割り込みコントローラに入力され、その割り込みコントローラによって、全てのCPUそれぞれの割り込み信号が制御される。この場合、割り込みコントローラ内部では、割り込み要求に応じてどのプロセッサに割り込みをかけるかを判定する処理などが行われる。

【0003】しかしながら、マルチプロセッサシステムのシステム規模が大きくなると、最大実装可能CPU数、I/O数が多くなり、CPUへの割り込み信号、1/O装置からの割り込み要求信号の本数も膨大となり、割り込みコントローラをLSIで構成しようとした場合、ピン数が足らなくなるという問題が生じる。

【0004】また、一般に、システム規模が大きくなると、1/O装置、割り込みコントローラ、CPUは複数基板にまたがる事になり、割り込み関係の信号も基板をわたることになり、基板わたり信号の増加を招く事になる。

【0005】更に、通常、割り込み信号にはパリティなどのエラー防御が無く、これを長い距離にわたり引き回すと、ノイズによる誤動作を招きやすくなる恐れがある。現在では、16から20個程度のCPUを含むシステム構成が主流であるが、今後は、システム性能の向上のために、さらに多数のCPUがシステムに実装されることが予想される。従って、1個の割り込みコントローラを用いる従来の集中制御型の割込制御方式は、これからのシステムアーキテクチャでは採用することは困難である。

【0006】

【発明が解決しようとする課題】上述したように、従来の割込制御方式は1個の割り込みコントローラによって実現されていたため、割り込みコントローラのピン数不足、基板にまたがる信号線の増加、ノイズによる信頼性の低下という問題から、CPU数の大きい大規模なマルチプロセッサシステムなどに採用することは実際上困難であった。

【0007】この発明はこの様な点に鑑みてなされたものであり、専用の信号線を多数引き回すことなく割り込み制御を実現できるようにし、システム規模の増大に柔軟に対応可能な割込制御を行うことが可能なマルチプロセッサシステムを提供することを目的とする。

【0008】

【課題を解決するための手段】この発明は、単一バス構成あるいは階層バス構成を有し、複数のCPUを備えたマルチプロセッサシステムにおいて、1/O装置からの割り込み要求信号の変化を検出する割り込み要求検出手段と、

3

段と、前記複数のC P Uそれぞれの割り込み入力端子に入力される割り込み信号を発生する割り込み信号発生手段と、前記割り込み要求検出手段によって検出された割り込み要求に応じて、前記割り込み信号発生手段の割り込み信号発生動作を制御する割り込み制御手段とを具備し、前記割り込み要求検出手段、割り込み信号発生手段、および割り込み制御手段はバスを介して互いに結合されており、前記割り込み要求検出手段は、前記割り込み要求信号の検出結果をバストランザクションによって前記割り込み制御手段に通知し、前記割り込み制御手段は、前記割り込み信号発生動作を制御するための情報をバストランザクションによって前記割り込み信号発生手段に通知するように構成されていることを特徴とする。

【 0 0 0 9 】このマルチプロセッサシステムにおいては、割り込みコントローラが、割り込み要求検出手段／割り込み制御手段／割り込み信号発生手段に分けられ、それぞれの間はバスを介して通信するように構成されている。従って、バストランザクションにて割り込み制御のための各種情報を伝達することができるので、専用の信号線を多数引き回すことなく割り込み制御を実現できるようになり、システム規模の増大に柔軟に対応可能な割込み制御を行うことが可能となる。

【 0 0 1 0 】また、このように割り込みコントローラを割り込み要求検出手段／割り込み制御手段／割り込み信号発生手段に分割した構成を採用した場合には、物理的に割り込み要求検出手段はI／O装置の近傍に、割り込み発生手段はC P Uの周辺に配置することが好ましい。これによってC P U数の多い大規模なシステムにおいても多数の割り込み信号を引き回すことなく、少ないインターフェース信号にて割込み制御を行うことができる。

【 0 0 1 1 】

【 発明の実施の形態】以下、図面を参照してこの発明の実施形態を説明する。図1には、この発明の第1の実施形態に係るマルチプロセッサシステムの構成が示されている。このマルチプロセッサシステムは、16～20個、またはそれ以上のC P Uを実装できる高性能のサーバ計算機システムを実現するためのものであり、多数の回路基板に分割された各種モジュールから構成されている。このマルチプロセッサシステムは階層化された複数のバスを有しており、これらバスを介したデータ転送が割込み制御のための情報の授受に利用されている。以下、具体的なシステム構成を説明する。

【 0 0 1 2 】図1において、1-1～1-6はC P U（プロセッサ）であり、それぞれ割り込み信号入力端子を有している。2-1～2-5はそれぞれの上下のバス間を双方向で繋ぐバスブリッジである。3-1～3-6はI／O装置であり、必要に応じて割り込み要求信号を発生する。4-1～4-6はバスである。

【 0 0 1 3 】5-1～5-2は割り込み発生装置であり、バス4-3を介して割り込み制御装置6-1からの

10

20

30

40

50

4

バストランザクションを受け付け、そのバストランザクションにて通知された情報に基づき割り込み信号a 1～a 3、もしくはa 4～a 6をアサート、デアサートする。6-1は割り込み制御装置であり、割り込み要求検出手装置7-1から7-2によって検出された割り込み要求に応じて、割り込み発生装置5-1～5-2の割り込み信号発生動作を制御する。

【 0 0 1 4 】この割り込み制御装置6-1は、割り込み制御情報を保持および管理しており、バス4-3を介して割り込み要求検出手装置7-1～7-2からの割り込みの要求信号状況を通知するトランザクションや、プロセッサ1-1～1-6からの割り込み処理状況に関するトランザクションを受け付け、これらに応じて割り込み制御情報を更新し、プロセッサへの割り込みを発生させる必要がある場合には、対象プロセッサに対応する割り込み発生装置5-1もしくは5-2にその旨をバストランザクションにて通知する。

【 0 0 1 5 】7-1～7-2は割り込み要求検出手装置であり、I／O装置3-1～3-3、もしくは3-4～3-6からの割り込み要求信号b 1～b 3、もしくはb 4～b 6を観測し、信号の変化を検出した場合には、割り込み制御装置6-1にその旨をバストランザクションにて通知する。

【 0 0 1 6 】a 1～a 6は割り込み信号であり、これがアサートされると、それぞれプロセッサ1-1～1-6に割り込みがかけられる。b 1～b 6は割り込み要求信号であり、それぞれI／O装置3-1～3-6が割り込みを要求する場合にこれをアサートする。

【 0 0 1 7 】また、このシステムにおいては、割り込み発生装置5-1～5-2は対応するプロセッサ1-1～1-3、1-4～1-6に物理的に近接した位置に配置され、割り込み要求検出手装置7-1～7-2は対応するI／O装置3-1～3-3、3-4～3-6に物理的に近接した位置に配置されている。

【 0 0 1 8 】すなわち、このシステムでは、回路基板間にわたる信号線の引き回しの低減や回路基板単位での柔軟なシステム拡張に対応するために、図示のように、破線で示されている複数の回路基板上にモジュールが分散して実装されており、割り込み発生装置5-1はプロセッサ1-1～1-3と同一回路基板上に実装され、割り込み発生装置5-2はプロセッサ1-4～1-6と同一回路基板上に実装されている。

【 0 0 1 9 】さらに、割り込み要求検出手装置7-1はI／O装置3-1～3-3、割り込み要求検出手装置7-2はI／O装置3-4～3-6と同一回路基板上に実装されている。また、割込み制御装置6-1は、割り込み発生装置5-1～5-2および割り込み要求検出手装置7-1～7-2とは独立した別の回路基板上に実装されている。

【 0 0 2 0 】また、分散配置された割り込み要求検出手

置7-1～7-2、割り込み制御装置6-1、割り込み発生装置5-1～5-2間では、バストランザクションにて割込制御のための各種情報が伝達される。

【0021】次に、図2のタイミングチャートを参照して、図1のシステムにおける割込制御動作を説明する。ここでは、一例として、I/O装置3-1からプロセッサ1-1に割り込みをかける場合について説明する。

【0022】割り込み制御装置6-1、割り込み発生装置5-1、5-2には、I/O装置3-1～3-6などと同様に、システムのアドレス空間上のアドレス領域が割り当てられている。これらの装置に対し何らかの情報を通知する場合は、対応するアドレス領域内の、通知したい情報に対応する所定アドレスに対するライトランザクションを行うことにより、バスを介してその情報を通知する事が出来る。同様に、これらの装置から何らかの情報を得る場合は、対応するアドレス領域内の、得たい情報に対応する所定アドレスに対するリードランザクションを行えば、バスを介してその情報を得る事が出来る。

【0023】割り込み制御装置6-1は割り込み制御情報として、I/O装置毎に(ベクタ、プライオリティ、プロセッサを指定するための割り込み先条件、割り込み待ち状況等)、プロセッサ毎に(タスクプライオリティ、割り込み処理状況等)などを記憶している。

【0024】ここで、I/O装置3-1から割り込みをかける場合の動作を考える。I/O装置3-1は割り込み要求信号b1をアサートする。割り込み要求検出装置7-1はこれを検出すると、その旨を割り込み制御装置6-1に通知するライトランザクションをバス4-4に送出する。

【0025】このライトランザクションにおいては、まず、アドレスフェーズにて、割り込み制御装置6-1の割り込み要求領域を指定するアドレスが発行され、後続するデータフェーズでは、割り込み要求を受け付けた割り込み要求検出装置7-1を示す検出装置IDと、アサートされた割り込み要求信号b1が入力される割り込み要求検出装置7-1の割り込みポートを示すポート番号(割り込み番号)が発行される。

【0026】このランザクションは、バス4-4、ブリッジ2-3、バス4-3を経由して割り込み制御装置6-1で受け取られる。割り込み制御装置6-1は、内部に保持する割り込み待ち状況を更新し、当該割り込み要求を割り込み待ち状態として記憶する。割り込み待ちとして記憶されている各割り込み要求は、I/O装置のプライオリティ、割り込み先条件、各プロセッサのタスクプライオリティ等より割り込むべきプロセッサと割り込みの可否が判定され、その結果に応じた処理が行われるが、ここでは当該割り込み要求によりプロセッサ1-1に割り込みをかける事になったものとする。

【0027】この場合、割り込み制御装置6-1は、そ

の旨をプロセッサ1-1に対応する割り込み発生装置5-1に通知するためのライトランザクションをバス4-3に送出する。

【0028】このライトランザクションにおいては、まず、アドレスフェーズにて、割り込み発生装置5-1に設けられているプロセッサ1-1に対応する記憶領域を指定するアドレスが発行され、後続するデータフェーズでは、プロセッサ1-1に対応する割り込み信号a1のアサートを指示する割り込み信号制御フラグFが発行される。

【0029】割り込み発生装置5-1はこのランザクションを受け取ると、割り込み信号a1をアサートする。プロセッサ1-1はこれにより割り込みがかかり、割り込み処理を行うが、その際、バス4-1、ブリッジ2-1、バス4-3を介して割り込み制御装置6-1をアクセスするためのリードランザクションを行い、これによって割り込みベクタを得る。

【0030】割り込み制御装置6-1はこのアクセスにより内部に保持する割り込み待ち状況、割り込み処理状況を更新し、当該割り込み要求が割り込み待ち状態から割り込み処理中状態になったものとして記憶する。更に、プロセッサ1-1において割り込み処理が完了した時も、同様の経路のライトランザクションにより割り込み制御装置6-1にその旨が通知される。割り込み制御装置6-1はこれにより、内部に保持する割り込み処理状況を更新し、当該割り込み要求は割り込み処理が完了したものとする。

【0031】このように、図1のシステムにおいては、従来の割り込みコントローラが、割り込み要求検出装置7-1～7-2／割り込み制御装置6-1／割り込み信号発生装置5-1～5-2に分けられ、それぞれの間はバスを介して通信するように構成されている。従って、バストランザクションにて割込制御のための各種情報を伝達することができるので、専用の信号線を多数引き回すことなく割り込み制御を実現でき、システム規模の増大に柔軟に対応可能な割込制御を行うことが可能となる。

【0032】また、割り込み要求検出装置7-1～7-2を幾つかのI/O装置毎にそれと同一基板上に設け、割り込み発生装置5-1～5-2も幾つかのプロセッサ毎にそれと同一基板上に設けるという基板単位での分散構造を採用しているため、例えば、実装するプロセッサやI/Oを増やしてシステム拡張を行う場合でも、それらの基板を増設するだけで、何らハードウェア構成を変更することなく拡張システムに対応した割り込み制御を行うことができる。

【0033】なお、この実施形態の割り込み制御方式は、図1のような階層バス構成のマルチプロセッサシステムだけでなく、例えば、図3のように同一バスに全てのモジュールが接続される単一バス構成のマルチプロセ

サシステムに対しても同様に適用することができる。
【 0 0 3 4 】 次に、図4 および図5 を参照して、この発明の第2 実施形態を説明する。図4 には、この発明の第2 実施形態に係るマルチプロセッサシステムの構成が示されている。このマルチプロセッサシステムは、図1 のシステムと同様に、階層化された複数のバスを持ち、割り込みコントローラが、割り込み要求検出装置7-1～7-2 / 割り込み制御装置6-1 / 割り込み信号発生装置5-1～5-2 に分けられ、それぞれの間はバスを介して通信するように構成されている。図1との違いは、割り込み要求検出装置7-1～7-2 、割り込み制御装置6-1 、割り込み信号発生装置5-1～5-2 がそれぞれ直接バスに接続されるのではなく、ブリッジ装置に接続されており、そのブリッジ装置とバスインターフェースを共用している点である。

【 0 0 3 5 】 すなわち、割り込み信号発生装置5-1～5-2 についてはブリッジ2-1～2-2 にそれぞれ接続されており、ブリッジ2-1～2-2 それぞれのバス4-3 とのバスインターフェース回路を利用してバストランザクションを受け付ける構成になっている。

【 0 0 3 6 】 また、割り込み制御装置6-1 は、ブリッジ2-3 に接続されており、ブリッジ2-3 のバス4-3 側およびバス4-4 側の双方のバスインターフェース回路を利用してバストランザクションの受け付け、発行を行う。この場合、例えば、割り込み制御装置6-1 は、割り込み要求検出装置7-1～7-2 からのトランザクションについてはバス4-3 を介さずにブリッジ2-3 から直接受け付けることができる。さらに、割り込み要求検出装置7-1～7-2 もブリッジ2-4～2-5 にそれぞれ接続されており、ブリッジ2-4～2-5 それぞれのバス4-4 とのバスインターフェース回路を利用してバストランザクションを発行する構成になっている。

【 0 0 3 7 】 ここで、バスインターフェース共用のための具体的な構成例について説明する。図5 には、割り込み制御装置6-1 とブリッジ2-3 とのバスインターフェースの共用例が示されている。図示のように、ブリッジ2-3 は、バス4-3 用のバスインターフェース回路211 、バス4-4 用のバスインターフェース回路212 を有している。

【 0 0 3 8 】 また、ブリッジ2-3 の内部バスには、アドレスデコーダ213 や、タイマなどのシステム動作のために必要な機能を実現するためのデバイス214 、215 などが接続されている。さらに、その内部バスには、割り込み制御装置6-1 も接続されている。この割り込み制御装置6-1 は、デバイス214 、215 と同様に、それに対応するアドレスがバストランザクションによって指定されたときにデコーダ213 によって選択される。

【 0 0 3 9 】 なお、割り込み制御装置6-1 は、ブリッジ2-3 の1 つの機能デバイスとしてそのブリッジ2-3 に内蔵することもできる。また、割り込み発生装置5-1～5-2 、割り込み要求検出装置7-1～7-2 についても、同様の構成で対応するブリッジとの間でバスインターフェースを共用することができる。

【 0 0 4 0 】 次に、図4 のシステムにおける割り込み制御動作を説明する。ここでは、I/O 装置3-1 からプロセッサ1-1 に割り込みをかける場合について説明する。I/O 装置3-1 は割り込み要求信号a1 をアサートし、割り込み要求検出装置7-1 はこれを検出すると、その旨を割り込み制御装置6-1 に通知するためのライトトランザクションをブリッジ2-4 を介してバス4-4 に送出する。

【 0 0 4 1 】 このトランザクションは、ブリッジ2-4 、バス4-4 、ブリッジ2-3 を経由して割り込み制御装置6-1 に送られる。この際、実施形態1 の場合にはブリッジ2-3 から割り込み制御装置6-1 に送る時にバス4-3 を占有するが、ここでは、バス4-3 は利用されない。トランザクションを受け取った割り込み制御装置6-1 は、実施形態1 と同様の内部処理を行うが、ここではプロセッサ1-1 に割り込みをかけることになったものとする。すると、割り込み制御装置6-1 は、その旨をプロセッサ1-1 に対応する割り込み発生装置5-1 に通知するためのライトトランザクションをブリッジ2-3 を介してバス4-3 に送出する。

【 0 0 4 2 】 割り込み発生装置5-1 はこのトランザクションをブリッジ2-1 を介して受け取ると、割り込み信号a1 をアサートする。プロセッサ1-1 はこれにより割り込みがかかり、割り込み処理を行うが、その際、バス4-1 、ブリッジ2-1 、バス4-3 、ブリッジ2-3 を介して割り込み制御装置6-1 をアクセスするためのリードトランザクションを行い、これによって割り込みベクタを得る。

【 0 0 4 3 】 割り込み制御装置6-1 はこのアクセスにより内部に保持する割り込み待ち状況、割り込み処理状況を更新し、当該割り込み要求が割り込み待ち状態から割り込み処理中状態になったものとして記憶する。更に、プロセッサ1-1 において割り込み処理が完了した時も、同様の経路のライトトランザクションにより割り込み制御装置6-1 にその旨が通知される。割り込み制御装置6-1 はこれにより、内部に保持する割り込み処理状況を更新し、当該割り込み要求は割り込み処理が完了したものとする。

【 0 0 4 4 】 図6 には、この発明の第3 の実施形態に係るマルチプロセッサシステムの構成が示されている。このシステムは実施形態2 と基本的に同じ構成であるが、割り込み処理制御のための情報を集中して保持および管理する割り込み制御装置6-1 の耐故障性能を高めるために、割り込み制御装置6-1 が多重化して設けられている点だけが異なっている。

9

【 0 0 4 5 】 すなわち、このシステムにおいては、同一機能を持つ2つの割り込み制御装置6-1が、バス4-3につながっている2つの異なるブリッジ2-3, 2-6にそれぞれ接続されており、一方が有効に動作するよう構成されている。

【 0 0 4 6 】 各割り込み制御装置6-1は、有効／無効のどちらか一方の状態をプロセッサにより設定可能に構成されており、有効の場合は前述した割り込み制御のための機能を果たすが、無効の場合は何もしない。2つの割り込み制御装置6-1の一方のみが有効、他方は無効に設定される。有効である割り込み制御装置6-1に故障が検出された場合は当該割り込み制御装置6-1は無効と設定され、他の割り込み制御装置6-1が有効と設定されて動作を継続する。

【 0 0 4 7 】 無効と設定された割り込み制御装置6-1についても、有効と設定された割り込み制御装置6-1への割り込み要求検出装置7-1～7-3からの通知、プロセッサからのアクセスなどをバス上で観測しており、これらに対する応答や割り込み発生装置5-1～5-2に対する通知などは行なわないが、割り込み制御情報の保持・管理は行なうように構成されている。これにより、有効である割り込み制御装置6-1に故障が検出された場合は当該割り込み制御装置6-1を無効、他の割り込み制御装置6-1を有効と設定するのみで、割り込み制御情報の複写などをすることなく動作を継続することが可能となる。

【 0 0 4 8 】 正常動作時は、ブリッジ2-3に接続された割り込み制御装置6-1が有効と設定され、ブリッジ2-6に接続された割り込み制御装置6-1が無効と設定されているとする。正常動作中は実施形態2で説明した上述の動作と変わりない。何らかの装置により、動作中の割り込み制御装置6-1に異常が検出された場合、その割り込み制御装置6-1を無効、他方の割り込み制御装置6-1を有効と設定し直し、動作を継続する。

【 0 0 4 9 】 これら2つの割り込み制御装置6-1は、有効／無効を設定するビットのみ異なるビット位置が割り当てられているが、それ以外は全て同じアドレスが割り当てられ、有効の時のみ応答するよう構成される。これにより、割り込み制御装置が切り替わった事は特に意識する事なく動作を継続することができる。

【 0 0 5 0 】 なお、割り込み制御装置6-1の多重化構成は、図3のような単一バス構成のマルチプロセッサシステムに対しても同様にして適用することができる。以上、実施形態1～3について説明したが、どの実施形態のシステムにおいてもバストランザクションを利用して割り込み制御のための情報通知を行っているため、例えば、PCIバスのようにエラー検出機構やリトライ機構

10

を備えたバスアーキテクチャを採用することが好ましい。

【 0 0 5 1 】 この場合、割り込み検出装置、割り込み制御装置、割り込み発生装置の間のトランザクションで、どこかのバスでエラーがあった場合、そのトランザクションは無効となるが、バスのエラー検出機構に従って検出・通知され、ソフトウェアによりしかるべき対応がとられることになる。これにより、ノイズ等による信号の誤りの検出可能性を高められ、システムの誤動作を抑止できる。

【 0 0 5 2 】 また、割り込み検出装置、割り込み制御装置、割り込み発生装置の間のトランザクションで、どこかのバスでエラーがあった場合、そのトランザクションは無効となるが、そのバスのリトライ機構に従ってリトライされる。したがって、ノイズ等による信号の誤りがあった場合でも、リトライにより、システムの動作が継続できる可能性を高め、システムの可用性を高める事ができる。

【 0 0 5 3 】

【 発明の効果】 以上説明したように、この発明によれば、分散配置された割り込み検出装置、割り込み制御装置、割り込み発生装置の間のバストランザクションを利用して割り込み制御を行っているので、専用の信号線を多数引き回すことなく割り込み制御を実現できるようになり、システム規模の増大に柔軟に対応可能な割込制御を行うことが可能となる。

【 図面の簡単な説明】

【 図1】 この発明の第1実施形態に係るマルチプロセッサシステムの構成を示すブロック図。

【 図2】 同第1実施形態のマルチプロセッサシステムにおける割り込み制御動作を説明するタイミングチャート。

【 図3】 同第1実施形態のマルチプロセッサシステムの他の構成の一例を示すブロック図。

【 図4】 この発明の第2実施形態に係るマルチプロセッサシステムの構成を示すブロック図。

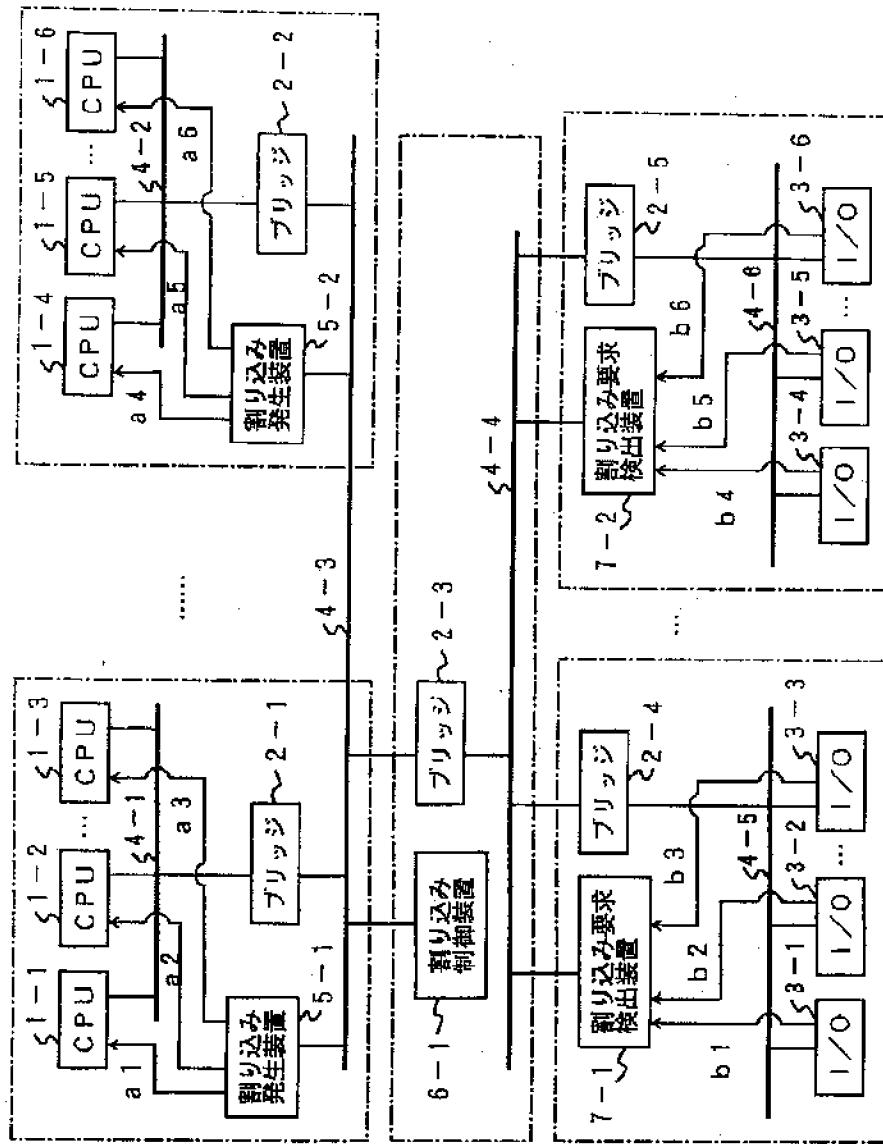
【 図5】 同第2実施形態のマルチプロセッサシステムで使用されるブリッジと割り込み制御装置間のバスインターフェースの共用のための具体的な構成の一例を示す図。

【 図6】 この発明の第3実施形態に係るマルチプロセッサシステムの構成を示すブロック図。

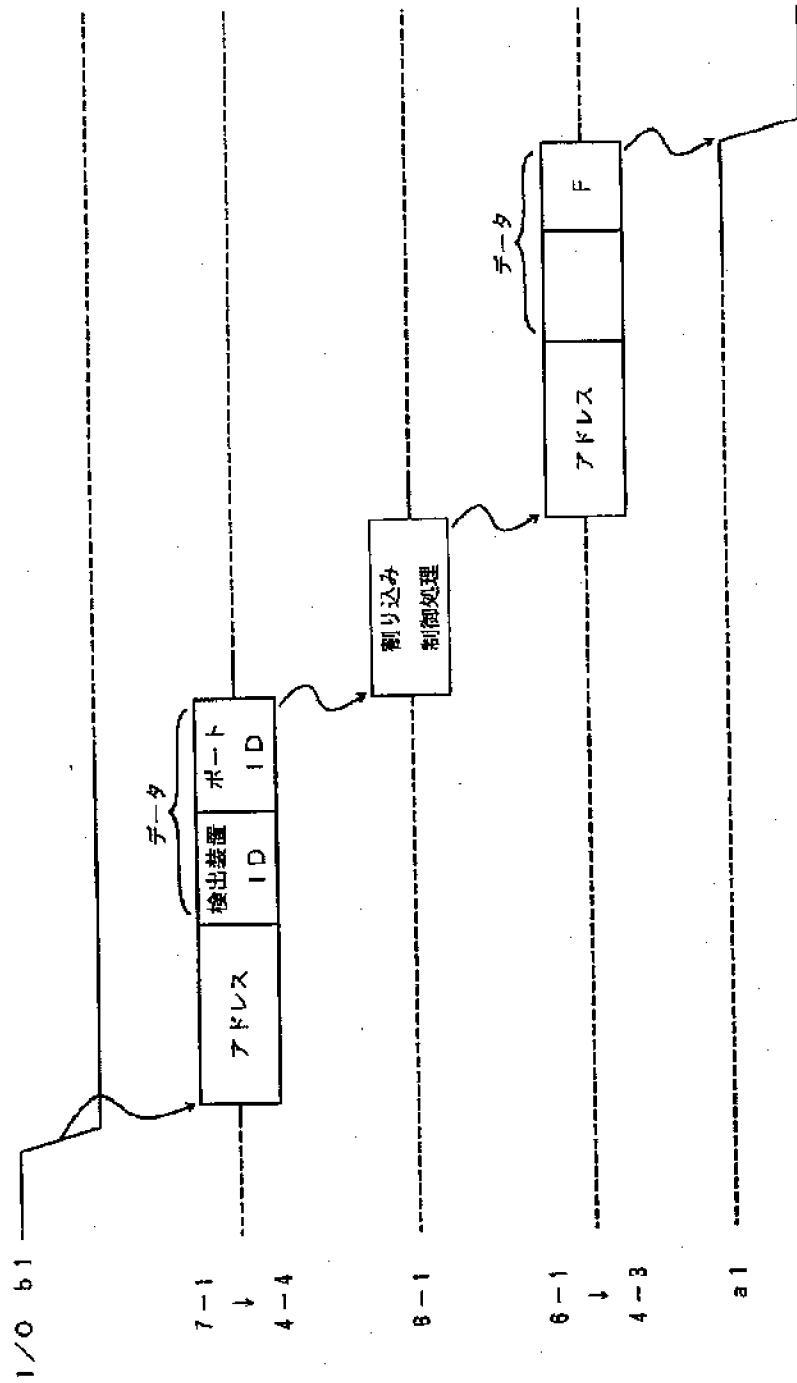
【 符号の説明】

1-1～1-6…CPU(プロセッサ)、2-1～2-5…バスブリッジ、3-1～3-6…I/O装置、4-1～4-6…バス、5-1～5-2…割り込み発生装置、6-1…割り込み制御装置、7-1～7-2…割り込み要求検出装置。

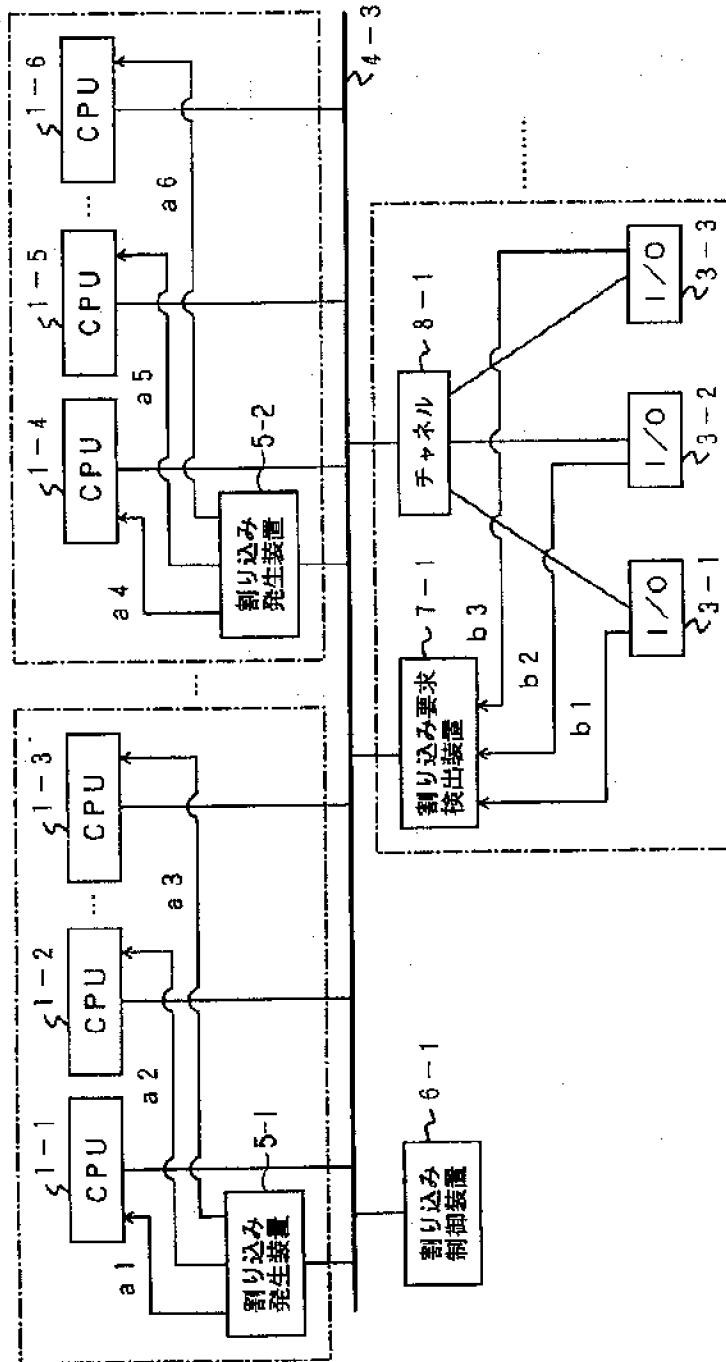
[14]



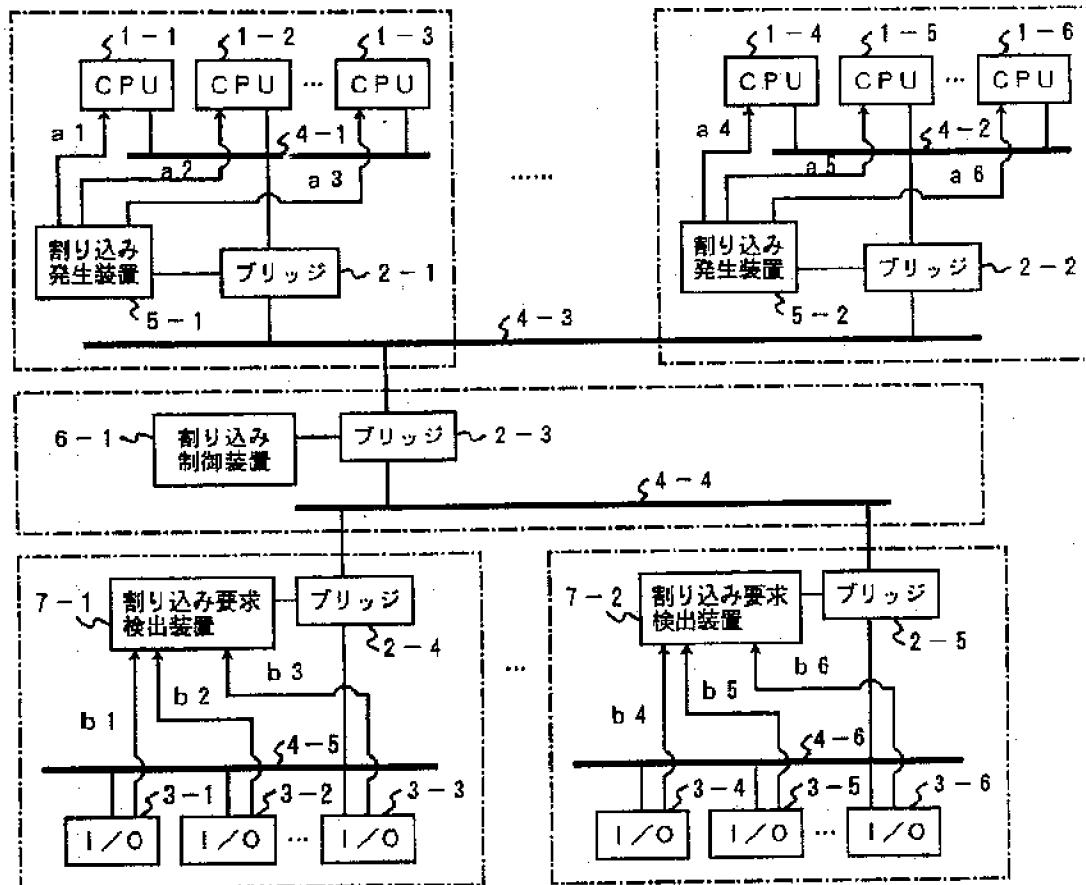
[図2]



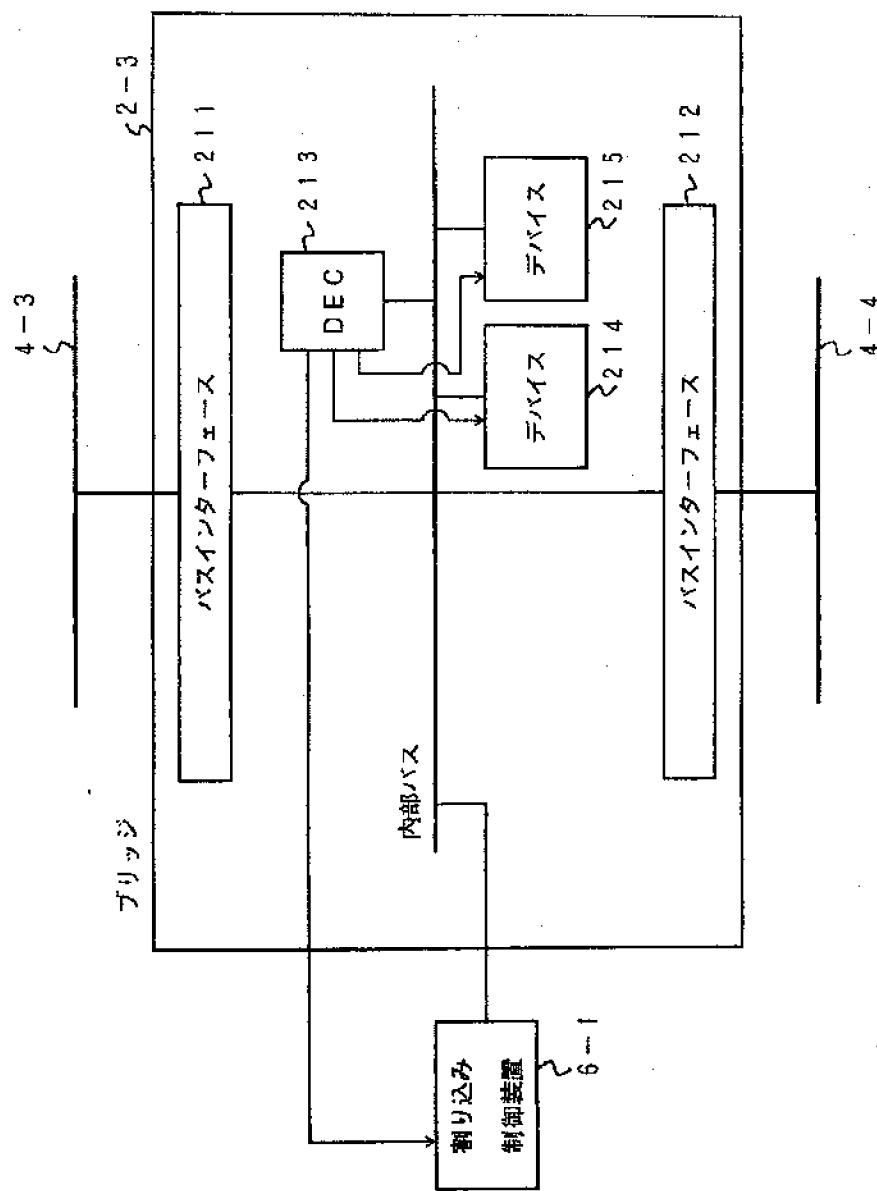
(図3)



[図4]



【 図5 】



[図6]

